

PAT-NO: JP405243255A
DOCUMENT-IDENTIFIER: JP 05243255 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: September 21, 1993

INVENTOR-INFORMATION:

NAME
TSUCHIYA, MASATO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP04043291

APPL-DATE: February 28, 1992

INT-CL (IPC): H01L021/331, H01L029/73 , H01L027/12

US-CL-CURRENT: 257/565

ABSTRACT:

PURPOSE: To individually vary a current amplification factor of a bipolar transistor by incorporating a back gate electrode made of a conductive layer provided on a lower surface of an insulating film under a base region and an insulating board provided on a lower surface of the electrode and having high thermal conductivity.

CONSTITUTION: When a collector bias VC, a base bias VB and a back gate bias VBG are gradually raised from 0V, a thickness of a depleted layer 18 generated in a boundary between a p-type base region 16 and an SiO₂ film 13 is increased, and hence a current amplification factor is increased. Since an AlN

substrate 11 is used as a substrate that has excellent heat dissipation to obtain a withstand voltage of an order of several 100V. Thus, a bipolar transistor in which a current amplification factor can be varied can be realized.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-243255

(43)公開日 平成5年(1993)9月21日

(51)IntCl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 21/331

29/73

27/12

Z 8728-4M

7377-4M

H01L 29/72

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号 特願平4-43291

(22)出願日 平成4年(1992)2月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 土屋 正人

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 中島 洋治 (外2名)

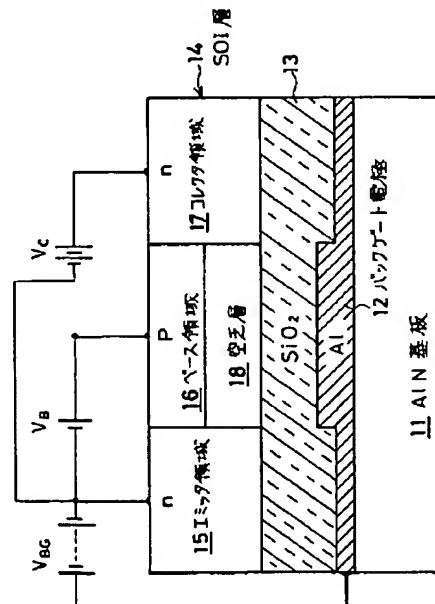
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 バイポーラトランジスタに関し、電流増幅率を可変できるようにする。

【構成】 SiO_2 膜13上に成長したSOI層14中にn型エミッタ領域15、p型ベース領域16、およびn型コレクタ領域17を形成した、ラテラル・バイポーラトランジスタ構造をしており、p型ベース領域16下の SiO_2 膜13の下面にAlから成るバックゲート電極12が設けられている。さらに、バックゲート電極12の下面には、熱伝導性の良好なAlN基板11が設けられている。コレクタバイアス V_C 、ベースバイアス V_B 、およびバックゲートバイアス V_{BG} を印加し、バックゲート電極12に印加するバックゲートバイアス V_{BG} を0Vから徐々に高くしていくと、p型ベース領域16と SiO_2 膜13との界面に生じた空乏層18の厚みが増大していき、それに伴って電流増幅率が増大する。

本発明の一実施例



【特許請求の範囲】

【請求項1】 絶縁膜上に成長した半導体層中にエミッタ領域、ベース領域、およびコレクタ領域を形成したラテラル・バイポーラトランジスタであって、ベース領域下の絶縁膜の下面に設けられた導電層から成るバックゲート電極と、該バックゲート電極の下面に設けられた熱伝導性の良好な絶縁基板とを含むことを特徴とする半導体装置。

【請求項2】 絶縁膜上に成長した複数の島状の半導体層中に、個々にエミッタ領域、ベース領域、およびコレクタ領域を形成したラテラル・バイポーラトランジスタを含む半導体集積回路装置であって、各ラテラル・バイポーラトランジスタのベース領域下の絶縁膜の下面に、独立にバイアスされる、導電層から成るバックゲート電極が設けられていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置、特にバイポーラトランジスタに関する。

【0002】

【従来の技術】図3は、従来例を示す図であり、従来のSOI (Silicon On Insulator) 構造のラテラル・バイポーラトランジスタを示している。

【0003】図中、31はシリコン基板、32はSiO₂膜、33はSOI層、34はn型エミッタ領域、35はp型ベース領域、36はn型コレクタ領域である。従来のSOI構造ラテラル・バイポーラトランジスタは、支持基板としてのシリコン基板31上に形成されたSiO₂膜32中の島状のSOI層に、n型エミッタ領域34、p型ベース領域35、およびn型コレクタ領域36が形成された構造をしている。

【0004】この構造のラテラル・バイポーラトランジスタは、通常、図3に示すように、ベース・バイアスV_b およびコレクタ・バイアスV_c を印加して使用するが、シリコン基板31に正の基板バイアスV_{sub} を印加すると、電流増幅率が增大することが知られている。

【0005】

【発明が解決しようとする課題】上述したように、従来のSOI構造ラテラル・バイポーラトランジスタにおいて、シリコン基板31に正の基板バイアスV_{sub} を印加すると、電流増幅率が增大することが知られているが、電流増幅率を可変できるバイポーラトランジスタは、存在しなかった。

【0006】また、従来のSOI構造ラテラル・バイポーラトランジスタでは、基板バイアスV_{sub} をシリコン基板31の全体に印加しなければならないので、シリコン基板31上に形成されたSiO₂膜32中に複数の島状のSOI層を形成し、各島状のSOI層に、個別にラテラル・バイポーラトランジスタを形成した場合、個々のラテラル・バイポーラトランジスタの電流増幅率を

制御することはできない。

【0007】すなわち、従来のSOI構造ラテラル・バイポーラトランジスタでは、集積化した場合、各ラテラル・バイポーラトランジスタの電流増幅率を個別に制御することはできない。

【0008】本発明は、電流増幅率を可変できるバイポーラトランジスタ、および集積化した場合にも個々のバイポーラトランジスタの電流増幅率を個別に可変できる半導体集積回路装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記の目的を達成するために、本発明に係る半導体装置は、次のように構成する。

【0010】(1) 絶縁膜上に成長した半導体層中にエミッタ領域、ベース領域、およびコレクタ領域を形成したラテラル・バイポーラトランジスタであって、ベース領域下の絶縁膜の下面に設けられた導電層から成るバックゲート電極と、該バックゲート電極の下面に設けられた熱伝導性の良好な絶縁基板とを含むように構成する。

【0011】(2) 絶縁膜上に成長した複数の島状の半導体層中に、個々にエミッタ領域、ベース領域、およびコレクタ領域を形成したラテラル・バイポーラトランジスタを含む半導体集積回路装置であって、各ラテラル・バイポーラトランジスタのベース領域下の絶縁膜の下面に、独立にバイアスされる、導電層から成るバックゲート電極が設けられているように構成する。

【0012】

【作用】本発明では、SOI構造のラテラル・バイポーラトランジスタのベース領域下の絶縁膜の下面に導電層から成るバックゲート電極を設けている。NPNトランジスタの場合、このバックゲート電極に正の電圧を印加すると、P型ベース領域と絶縁膜との界面に空乏層が形成される。

【0013】P型ベース領域中に形成された空乏層は、実効ベース幅を狭めるように働く。したがって、ベース領域下の絶縁膜の下面に設けられたバックゲート電極に印加する正の電圧を高めると電流増幅率が增大し、低めると電流増幅率が減少することとなるので、電流増幅率を可変できるようになる。

【0014】本発明では、ベース領域下の絶縁膜の下面に設けられたバックゲート電極の下面に、熱伝導性の良好な絶縁基板を設けている。これにより、耐電圧が向上するので、バックゲート電極に高電圧を印加することが可能になり、電流増幅率の可変範囲を広くとることができるようになる。

【0015】SOI基板でBiCMOSデバイスを形成する場合、MOSFETとバイポーラトランジスタとでは、都合の良いSOI層の厚さが異なるため、従来、良好なものが得られていなかったが、本発明によれば、バイポーラトランジスタのベース層の厚さを空乏層で制御

することができるから、MOSFETに都合の良い厚さのSOI層にバイポーラトランジスタを形成し、バックゲート電極に印加する電圧を加減して必要とされる電流増幅率を得るようにすればよいので、SOI基板を用いた良好なBiCMOSデバイスの形成が可能になる。

【0016】さらに、絶縁膜上に成長した複数個の島状の半導体層中に、個々にラテラル・バイポーラトランジスタを形成し、各ラテラル・バイポーラトランジスタのベース領域下の絶縁膜の下面に、独立にバイアスされる、導電層から成るバックゲート電極を設け、このバックゲート電極に個別にバックゲート・バイアスを印加することにより、個々のラテラル・バイポーラトランジスタの電流増幅率を個別に変変できることになる。

【0017】その結果、種々の電流増幅率を持ったラテラル・バイポーラトランジスタを1チップ上に集積化することが可能になる。

【0018】

【実施例】図1は、本発明の一実施例を示す図である。図中、11はAlN基板、12はAlから成るバックゲート電極、13はSiO₂膜、14はSOI層、15はn型エミッタ領域、16はp型ベース領域、17はn型コレクタ領域、18は空乏層である。

【0019】以下、図1に示すトランジスタの製造方法を工程順に説明する。

① 厚さ300～600μmのAlN基板11の表面に、スパッタ法によりAlを堆積する。バックゲート電極12と成る部分のAlの厚さは2000～3000Åになるようにする。

【0020】② 全面に、CVD法によりSiO₂膜13を約3μmの厚さに堆積する。

③ 全面に、CVD法によりポリシリコンを約1μmの厚さに堆積した後、レーザビーム再結晶化法などにより単結晶化してSOI層14を形成する。SOI層14の厚さは、約0.5μmである。

【0021】④ SOI層14に不純物を選択的にドーピングして、n型エミッタ領域15、p型ベース領域16、およびn型コレクタ領域17を形成する。以上の各工程を経て、本発明に係るトランジスタが完成する。

【0022】完成したトランジスタに、図1に示すように、コレクタ・バイアスV_c、ベース・バイアスV_b、およびバックゲート・バイアスV_{BG}を印加する。バックゲート電極12に印加するバックゲート・バイアスV_{BG}を0Vから徐々に高くしていくと、p型ベース領域16とSiO₂膜13との界面に生じた空乏層18の厚みが増大していき、それに伴って電流増幅率が増大する。電流増幅率が変化する範囲は、数10のオーダーから数100のオーダーである。

【0023】また、基板にAlN基板11を用いている

ので放熱性に優れ、数100Vのオーダーの耐電圧が得られる。本実施例では、NPNトランジスタについて述べたが、同様の方法によりPNPトランジスタを製造することができる。PNPトランジスタでは、バックゲート電極に、負のバックゲートバイアスを印加する。

【0024】図2は、本発明の他の実施例を示す図である。図中、21はAlN基板、22はアルミニウムから成るバックゲート電極、23はSiO₂膜、24はSOI層、25はn型エミッタ領域、26はp型ベース領域、27はn型コレクタ領域である。

【0025】本実施例のSOI構造ラテラル・バイポーラトランジスタは、AlN基板21上に形成されたSiO₂膜23中に形成された島状のSOI層24中に、n型エミッタ領域25、p型ベース領域26、およびn型コレクタ領域27が形成されている。

【0026】アルミニウムから成るバックゲート電極22は、ベース領域26下のSiO₂膜23の下面に形成されており、SiO₂膜23の表面に引き出されている。この結果、バックゲート電極22に個別にバックゲート・バイアスV_{BG}を印加することが可能になる。

【0027】したがって、この構造のSOI構造ラテラル・バイポーラトランジスタは、個々のラテラル・バイポーラトランジスタの電流増幅率を個別に制御することができるので、集積化して半導体集積回路装置とすることができる。

【0028】

【発明の効果】本発明によれば、電流増幅率を変変できるバイポーラトランジスタを実現することが可能になると共に、電流増幅率の異なるバイポーラトランジスタを多数個集積化した半導体集積回路装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す図である。

【図2】本発明の他の実施例を示す図である。

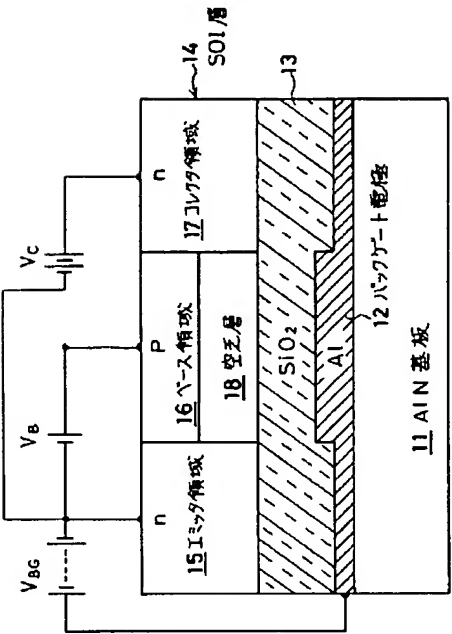
【図3】従来例を示す図である。

【符号の説明】

- 11 AlN基板
- 12 Alから成るバックゲート電極
- 13 SiO₂膜
- 14 SOI層
- 15 n型エミッタ領域
- 16 p型ベース領域
- 17 n型コレクタ領域
- 18 空乏層
- V_c コレクタバイアス
- V_b ベースバイアス
- V_{BG} バックゲートバイアス

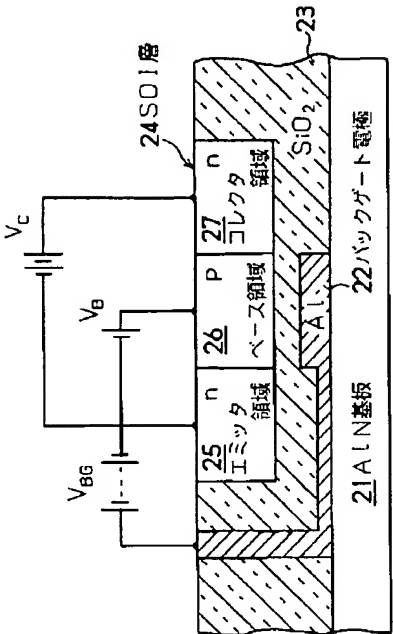
【図1】

本発明の一実施例



【図2】

本発明の他の実施例



【図3】

本発明

